

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164296

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

H01L 21/205

H01L 33/00

(21)Application number : 2001-068067

(71)Applicant : MITSUBISHI CABLE IND LTD

(22)Date of filing : 12.03.2001

(72)Inventor : OKAGAWA HIROAKI
TADATOMO KAZUYUKI
OUCHI YOICHIRO
TSUNEKAWA TAKASHI

(30)Priority

Priority number : 2000282047 Priority date : 18.09.2000 Priority country : JP

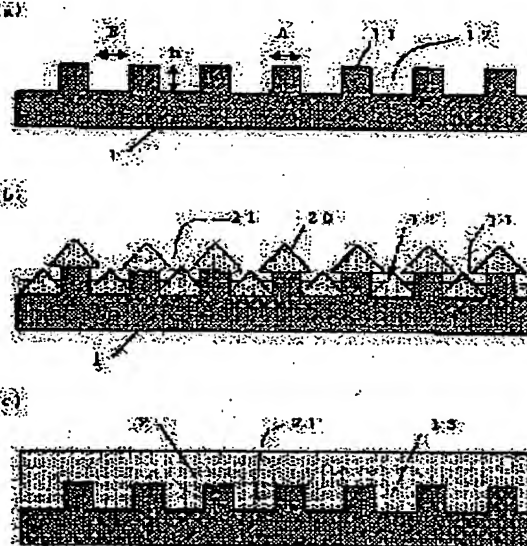
(54) SEMICONDUCTOR SUBSTRATE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate various problems which result from the use of a mask layer, and to simplify a manufacturing process.

SOLUTION: As shown in Fig. (a), a substrate 1 having an uneven growth face is prepared. When conducting a vapor phase growth using this substrate, the uneven shape of the growth face suppresses the lateral growth, while accelerating the growth in the C axis direction, making the uneven growth face advantageous as a foundation face for forming a facet surface.

Consequently, as shown in Fig. (b), crystals are grown on the projecting parts formed with the facet surfaces, while made to grow in the recessed parts also. In the crystal growth is continued, films grown from the projecting parts and recessed parts are jointed together and flattened, while covering the uneven face as shown in Fig. (c). In this case, low-displacement regions are formed in the upper parts of the projecting parts formed with the facet surfaces, and a high-quality film can be manufactured.



LEGAL STATUS

[Date of request for examination]

28.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164296

(P2002-164296A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	7-マ3-ト [*] (参考)
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 4 1
33/00		33/00	C 5 F 0 4 5

審査請求 有 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願2001-68067(P2001-68067)

(22) 出願日 平成13年3月12日(2001.3.12)

(31) 優先権主張番号 特願2000-282047(P2000-282047)

(32) 優先日 平成12年9月18日(2000.9.18)

(33) 優先権主張国 日本(J P)

(71) 出願人 000003263
三菱電機工業株式会社
兵庫県尼崎市東向島西之町8番地

(72) 発明者 関川 広明
兵庫県伊丹市池尻4丁目3番地 三菱電機
工業株式会社伊丹製作所内

(72) 発明者 只友 一行
兵庫県伊丹市池尻4丁目3番地 三菱電機
工業株式会社伊丹製作所内

(72) 発明者 大内 祥一郎
兵庫県伊丹市池尻4丁目3番地 三菱電機
工業株式会社伊丹製作所内

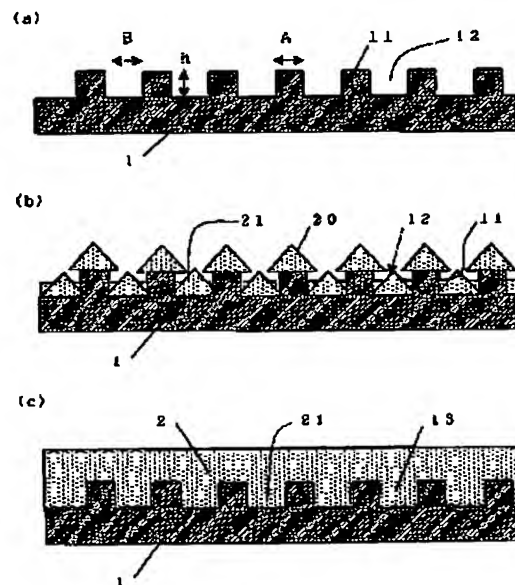
最終頁に続く

(54) 【発明の名称】 半導体基材及びその作製方法

(57) 【要約】

【課題】 マスク層を用いる事に起因する種々の問題を回避し、かつ製造工程の簡略化を図ること。

【解決手段】 (a)図に示すように、成長面が凹凸面とされた基板1を用いる。この基板を用いて気相成長した場合、凹凸形状が、横方向成長を抑え、C軸方向の成長を促進する働きとなり、ファセット面形成に可能な素地面となる。従って(b)図に示すように、凸部にはファセット面が形成された結晶が成長し、凹部にも結晶が成長した状態となる。さらに結晶成長を続けると凸部、凹部から成長した膜がつながって、やがて(c)図のように凹凸面を覆い平坦化する。この場合、ファセット面が形成された凸部上部には低転位領域が形成され、作製した膜の高品質化が図れている。



(2)

特開2002-164296

1

【特許請求の範囲】

【請求項1】 基板と該基板上に気相成長された半導体結晶とからなる半導体基材であって、前記基板の結晶成長面が凹凸面とされ、前記半導体結晶は凹部及び／または凸部からファセット構造を形成しながら成長されたものであることを特徴とする半導体基材。

【請求項2】 上記半導体結晶がInGaAlNであることを特徴とする請求項1記載の半導体基材。

【請求項3】 上記基板の結晶成長面の凸部が、平行なストライプ形状からなる凸部であることを特徴とする請求項1記載の半導体基材。

【請求項4】 上記半導体結晶がInGaAlNであって、かつストライプの長手方向が該InGaAlN結晶の(1-100)面もしくは(11-20)面と平行であることを特徴とする請求項3記載の半導体基材。

【請求項5】 上記基板に凹凸加工したストライプの長手方向が上記InGaAlN結晶の(1-100)面もしくは(11-20)面と平行であり、その精度が1°以内であることを特徴とする請求項4記載の半導体基材。

【請求項6】 上記基板に凹凸加工した凸部の幅Aと、これに隣接する凹部の幅Bとの合計A+Bが20μm以内とされ、前記凹部の深さhをA、Bのいずれか長い方の幅の20%以上としたことを特徴とする請求項5記載の半導体基材。

【請求項7】 上記基板に凹凸加工した凸部の立上り斜面と基板平面とが成す角度が60°以上であることを特徴とする請求項1記載の半導体基材。

【請求項8】 上記基板に凹凸加工した凹部の底面に、曲面部を備えていることを特徴とする請求項1記載の半導体基材。

【請求項9】 基板と該基板上に気相成長された半導体結晶とからなる半導体基材であって、前記基板の結晶成長面が凹凸面とされ、前記凹凸面の凹面には、その最面からは実質的に結晶成長し得ない加工が施され、前記半導体結晶は凸部からファセット構造を形成しながら成長されたものであることを特徴とする請求項1記載の半導体基材。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、半導体基材及びその作製方法に関し、特に転位欠陥が生じ易い半導体材料を用いる場合に有用な構造及び方法に関するものである。

【0002】

【従来の技術】 GaN系材料を結晶成長する場合、GaN系材料は格子整合する基板がないためにサファイア、SiC、スピネル、最近ではSiなどの格子整合しない基板を用いている。しかしながら、格子整合しないことに起因して作製したGaNの膜中には 10^{10} 個/cm²もの転位が存在している。近年高強度の発光ダイオード、

2

半導体レーザーなどが実装されているが、特性向上を図るためには転位密度の低減が望まれている。

【0003】

【発明が解決しようとする課題】 この転位密度低減を図る方法としては、例えばGaN系半導体結晶等を、バッファ層及びGaN基板上に気相成長するにあたり、前記基板上に部分的なマスクを設けて選択成長する事でラテラル方向の結晶成長を行わせ、転位密度を低減した高品質な結晶を得る方法が提案されている（例えば特開平10-312971号公報）。

【0004】 しかしながら上記の方法によれば、マスク層上にラテラル方向成長された部分において、ラテラル成長方向にc軸が微小量ながら傾斜するという問題が生じ、これにより結晶品質が低下するという新たな問題が生ずることが判明した（MRS1998 Fall, Meeting 予稿集G3・1）。これは、X線ロッキングカーブ測定（XRC）の入射方位依存性を測定（θスキャン）することでも確認できる。即ち、ラテラル成長方向からの入射X線によるX線ロッキングカーブの半値全幅（FWHM）は、マスク層のストライプ方向からのX線によるFWHM値より大きくなっており、c軸の微小傾斜（チルティング）に方位依存性がある事を示している。この事は、マスク上のラテラル成長の合体部分に新たな欠陥を多数誘起する可能性を示唆している。

【0005】 また、マスク層材料として汎用されているものはSiO₂などであるが、その上に結晶成長層が積層されるとSi成分がこの結晶成長層中に移行するという、いわゆるオートドーピング汚染の問題があることも判明した。さらに、Alを含む半導体材料、例えばAlGaNをSiO₂マスク層付き基板上に成長させた場合、マスク層上にも結晶成長し、選択成長自体が効果的に行えないという問題もあった。

【0006】 このような問題を解消する試みとして、SiCのベース基板上にバッファ層及びGaN層を設けた基板に対して、SiC層にまで至るストライプ溝加工を施して凸部を形成し、この凸部の上方部に位置することになるGaN層から結晶成長させる方法が提案されている（MRS 1998 Fall Meeting予稿集G3・38）。この方法によればSiO₂マスク層無しで選択成長させる事も出来、上述のSiO₂マスクを用いることに起因する各種の問題を解消することが可能となる。

【0007】 上記方法は、ベース基板としてサファイア基板を使用する事ができその方法も開示されている（例えば、特開平11-191659号公報）。しかしながら上記方法では、サファイアベース基板上にバッファ層材料ならびにGaN系材料を結晶成長させ、一旦成長層から取り出して溝加工を施し、その後再び結晶成長を行うというステップが必要となることから、製造プロセスが複雑化するという新たな不都合が発生し、作業工程が多くなりコストがかかるなどの問題を有していた。

(3)

特開2002-164296

3

【0008】また、基板に凹凸状の溝を設け、凹部に空洞を作るように窒化ガリウム系半導体を成長することにより転位の伝播を抑制する方法（特開2000-106455号公報）が開示されている。この方法を用いると一回の成長で低転位密度領域を形成する事が可能であるが、空洞部を作製しなければならないため、発光素子などを作製した場合、発光部で生じた熱を基板側に逃がす上で不利であり、レーザーダイオードなどの熱劣化を助長する問題があった。また、転位の伝播を積極的に制御していないので凸部上部には転位が伝播し転位密度低減が不十分となる問題があった。

【0009】従って本発明は上記問題に鑑み、マスク層を用いる事に起因する種々の問題を回避し、かつ製造工程の簡略化を図ることを目的としている。また従来困難であったAlGaInの選択成長ができな問題を解決する事を目的としている。更に空洞部を形成することに起因する熱の問題を回避する事を目的としている。

【0010】

【課題を解決するための手段】本発明の半導体基材は、基板と該基板上に気相成長された半導体結晶とからなる半導体基材であって、前記基板の結晶成長面が凹凸面とされ、前記半導体結晶は凹部及び／または凸部からファセット構造を形成しながら成長されたものであることを特徴とするものである。

【0011】また、上記半導体結晶がInGaAlNである場合には特に有効であるものである。

【0012】上記基板の結晶成長面の凸部を、平行なストライプ形状からなる凸部とすることが好ましい。さらに、上記半導体結晶がInGaAlNであって、かつストライプの長手方向が該InGaAlN結晶の(1-100)面もしくは(11-20)面と平行であるストライプとすることがより好ましい。

【0013】上記基板に凹凸加工したストライプ構造において、ストライプの長手方向が上記InGaAlN結晶の(1-100)面もしくは(11-20)面と平行であり、その傾度が1°以内であることが望ましい。また、凸部の幅Aと、これに隣接する凹部の幅Bとの合計A+Bが20μm以内とされ、前記凹部の深さHをA、Bのいずれか長い方の幅の20%以上とすることも好ましいストライプ構造である。

【0014】さらに、上記基板に凹凸加工した凸部の立上り斜面と基板平面とが成す角度を60°以上とすることが望ましい。また、凹部の底面に、曲面部を具備させるようにしても良い。

【0015】さらに上記半導体基材において、凹凸面の凹面に、その表面からは実質的に結晶成長し得ない加工を施し、半導体結晶を凸部からファセット構造を形成しながら成長するようにしても良い。

【0016】

【作用】本発明は、バッファ層等すら形成していない状

4

態の基板に対して凹凸面を設けることで、結晶成長当初からファセット面を形成可能な素地面を予め提供しておく点に特徴を有する。即ち、基板に凹凸面を具備させることで、気相成長を行うに際し、相互の段差にて区画された凹面と凸面のそれぞれ又はいずれかを、ファセット構造成長が生成される単位基面として準備するものである。ここで、凹面と凸面の双方がファセット構造成長可能な面として準備された場合は、成長初期には基板表面全体で結晶成長が起こり、凸部及び凹部それぞれでファセット面を具備した成長となる。一方、凹面と凸面のいずれかが極めて微小幅である等の理由で実質的に結晶成長不可能な面である場合、或は結晶成長自体は可能であるが（請求項9の構成のように）加工を施して実質的に結晶成長し得ない場合は、凸部又は凹部のいずれかからファセット構造成長が起こることになる。さらに、凸部又は凹部のいずれかからファセット構造成長が起こるが、他方の面からは非ファセット構造成長がおこるという場合もある。

【0017】この結果基板からC軸方向に伸びる転位線がファセット面で錯方向に曲げられ、上方に伝播しなくなる。その後成長を続ける事でやがて成長面は平坦化され、その表面近傍は基板からの転位の伝播がない為に低転位密度領域となる。すなわち低転位密度領域の形成が、従来のようにマスク層を用いることなしに、かつ、下地層が不要で達成されることになる。また特に空洞部を形成する必要が無い為、熱放散の問題が回避できるようになるものである。

【0018】

【発明の実施の態様】以下図面に基いて、本発明の実施態様につき詳細に説明する。図1(a)乃至(c)は本発明に係る半導体基材の結晶成長状態を説明するための断面図である。図において、1は基板であり、2は該基板1上に気相成長された半導体結晶をそれぞれ示している。基板1の結晶成長面には凸部11及び凹部12が形成されており、前記凸部11及び／または凹部12からファセット面を形成し得る素地面とされている。

【0019】上記した基板1とは、各種の半導体結晶層を成長させるためのベースとなる基板であって、格子整合のためのバッファ層等も未だ形成されていない状態のものを言う。このような基板としては、サファイア（C面、A面、R面）、SiC（6H、4H、3C）、GaInAlN、Si、スピネル、ZnO、GaAs、NGOなどを用いることができるが、発明の目的に対応するならばこのほかの材料を用いてもよい。なお、基板の面方位は特に限定されなく、更にジャスト基板でも良いし、オフ角を付与した基板であっても良い。また、サファイア基板などに数μmのGaIn系半導体をエピタキシャル成長してある基板を用いても良い。

【0020】基板1上に成長される半導体層としては種々の半導体材料を用いることができ、AlXGa1-X-

(4)

特開2002-164296

5

$YInYN$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$) では x , y の組成比を変化させた GaN , $Al_{1-x}Ga_xN$, $In_{1-y}Ga_yN$ などが例示できる。

【0021】中でも、 $AlGaIn$ 等の Al を含有する半導体材料の場合、従来のマスク方式では SiO_2 マスク層上に成長するという問題があったが、本発明によるとマスクレス化によりかかる問題が解消されるため、従来できなかった $AlGaIn$ 低転位密度化が可能となり低転位で高品質な膜の成長が基板直上から可能となる。このため紫外線発光素子等で問題となる GaN 層による光吸収がなくなり応用上特に好適である。

【0022】基板1の結晶成長面に凹凸形状部11、12を形成することにより、ファセット面を形成し得る素地面とされている状態について説明する。 GaN の一般的な成長は $MOCVD$ 法などによりサファイアC面基板に低温バッファ層を介し、高温 GaN 膜を成長するものである。低温バッファ層上に高温 GaN を成長するとバッファ層を核とし、その核が横方向成長しながら合体し、やがて平坦になるというものである。この時、サファイア基板には何も施されていない為、安定であるC面が出るように成長が進むため平坦化される。これは安定であるC面の成長速度に比べ横方向の成長速度が速い為である。一方、横方向成長速度を抑え、C軸方向の成長速度を上げると、 $\{1-101\}$ などの斜めのファセットが形成し得る。本発明では基板の成長面に凹凸加工を施す事で、上記横方向成長を抑えている。

【0023】本発明にあっては、上記効果が出る凹凸形状であれば特に制限はなく各種の形状を採用することができる。このような凹凸面の形成の態様としては、島状の点状型の凸部、ストライプ型の凸条からなる凸部、格子状の凸部、これらを形成する核が曲線である凸部などが例示できる。

【0024】これら凸部の態様の中でも、ストライプ型の凸条を設ける態様のものは、その作製工程を簡略化できると共に、規則的なパターンが作製容易である点で好ましい。ストライプの長手方向は任意であってよいが、基板上に成長させる材料を GaN とし、 GaN 系材料の $\langle 11-20 \rangle$ 方向にした場合、横方向成長が抑制され、 $\{1-101\}$ 面などの斜めファセットが形成され易くなる。この結果、基板側からC軸方向に伝播した転位がこのファセット面で横方向に曲げられ、上方に伝播しにくくなり、低転位密度領域を形成できる点で特に好ましい。

【0025】一方ストライプ方向を $\langle 1-100 \rangle$ 方向にした場合であっても、ファセット面が形成されやすい成長条件を選ぶ事により前述と同様の効果を得ることができる。

【0026】上記基板に凹凸加工したストライプの方向は $InGaAlN$ 結晶の $\langle 1-100 \rangle$ 方向もしくは $\langle 11-20 \rangle$ 方向とすることが最も好ましい。しかしな

6

から、隣り合うファセットが合体し、平坦化するという成長現象を伴うことから、厳格には前記の方向に一致しない場合が生ずる。従って若干の方向誤差を有していても良いが、可及的にストライプの方向を $InGaAlN$ 結晶の $\langle 1-100 \rangle$ 方向もしくは $\langle 11-20 \rangle$ 方向に対して、その傾度が 1° 以内で収まるようにすることが望ましく、特に好ましくは 0.2° 以内とすることが好ましい。

【0027】図1では、(a)図に示すように凹部11の幅Bと凸部12の幅Aが同じ基板1を用いる場合を例示している。この場合凸部11、凹部12の双方でファセット面を形成しながら成長が進み結晶単位20、21がそれぞれ形成されるが、凹部12ではその側壁とファセット面の谷の部分での成長が生じるため、図1(b)に示すように谷埋め部を備えた状態になる。このような状況下、結晶成長が続くと凸部11の上の結晶単位21および、凹部の結晶単位21が成長し、やがて膜がつながって、図1(c)のように基板1の凹凸面を覆うことになる。この場合、一旦ファセット面が形成された上方部には低転位領域が形成され、作製した膜の高品質化が図れることになる。

【0028】図2では、(a)図に示すように凹部幅Bに対し凸部11幅Aが狭い基板1を用いる場合を例示している。この場合凸部11ではファセット面を形成しながら成長が進むが、凹部12でも結晶成長が生じる(b)図。このような状況下、結晶成長が続くと凸部11及び凹部12から成長した膜がつながって、やがて図2(c)のように凹凸面を覆うことになる。この場合、一旦ファセット面が形成された凸部11上部には低転位領域が形成されるが、凹部11ではその形状からファセット面は形成され難く、転位を横方向に曲げる効果は得られる。よって、図1の例に比べると転位密度の低減効果は少ないものの、作製した膜の高品質化が図れることになる。

【0029】以上の様に凹部の幅Bと凸部の幅Aとの組み合わせによってファセット面を形成する領域が色々と変化しうるが、ファセット面が形成される事により転位の伝播を曲げる事ができ、低転位密度化が図れる。即ち、このファセット面は転位の伝播を折曲させ得る程度のものであれば良いが、好ましい態様は図1に示すように、1つのファセット構造成長ベース面から成長された結晶単位20が、その頂面に平坦部を有すること無く完全に両ファセット面が頂部で交差する山型の態様である(図4は完全にファセットが形成された場合を、図5は不完全な場合をそれぞれ示す断面写真である)。このような図1(図4)に示す如きファセット面であれば、前記ベース面から伝播された転位線を概ね全て曲げることができ、その直上の転位密度をより低減できるので好ましい。図6はそのような状態を示す断面写真であって、転位線(写真中の黒線)がファセット成長に伴って折曲されている様子が明確に観察される。なお幅の組み合わせ

(5)

特開2002-164296

7

だけでなく、凹部の深さ（凸部の高さ） h を変化させる
 事でもファセット面形成領域の制御が可能である。

【0030】上述したように、凹凸のコンビネーション
 は種々の組み合わせが考えられるが、凹部12及び凸部
 11の幅、並びに凹部深さ h は、発光素子に適用するこ
 とを考えると、上記基板に凹凸加工した凸部の幅 A と、
 これに隣接する凹部の幅 B との合計 $A+B$ が $20\mu\text{m}$ 以
 内とされ、前記凹部の深さ h を A 、 B のいずれか長い方
 の幅の20%以上とする事が好ましい。

【0031】形成されるファセット面が{1-101} 10
 面の場合、そのファセット面の基板平面に対する角度は
 約 60° となる。従って、この場合ファセットが完全に
 形成される高さは、底面の幅に対し $\sqrt{3}/2$ となる。こ
 の底面がファセットを形成する凹部幅 B もしくは凸部幅
 A に対応すると考えた場合、 A 又は $B \times \sqrt{3}/2$ の高さ
 が必要である。 A もしくは B が $20\mu\text{m}$ を超えると必要
 高さが $17\mu\text{m}$ 程度となり、基板の厚肉化に伴う反りの
 発生や成長時間の長時間化などの問題が発生しがちな
 る。本発明者らの検討の結果、 $A+B \leq 20\mu\text{m}$ の時、反
 りの発生を少なくでき長時間を要さない成長とすること
 ができた。また、凹部深さ h は上記と同様の考えのもと
 検討をした結果、 A 、 B いずれか長い方の幅の20%以
 上とした時にファセットの形成が生じ、転位低減が促進
 されることが確認された。

【0032】また基板に凹凸加工した凸部11の立上り
 斜面と基板平面が成す角度は、 60° 以上とすることが
 好ましく、可及的に直角に近いことが特に望ましい。角
 度が 60° よりも小さい場合、凸部斜面から成長が始まり
 ファセット成長進行後の平坦化が良好に行えない問
 題が発生した。本発明者らの検討の結果、 60° 以上の 30
 角度を形成する事で、とりわけ直角に近い立上り斜面に
 すると、ファセット形成並びにその後の平坦化が実質的
 に阻害されないことを見出した。なお可能であれば、 90°
 を超える斜面角度とするのも好ましい。

【0033】基板に凹凸加工した凹部12の底面に、曲
 面部を具備させるようにしても良い。代表的には、一つ
 の凸部11の立上り基部とこれに隣接する凸部11の立
 上り基部との間が、断面でみて緩やかな凹曲面となっ
 ている曲面である。かかる曲面部を具備する場合、凹部1
 2からの成長が遅くなり凸部11からの成長が優性にな
 るよう調整することができる。

【0034】図3は本発明の他の実施態様を示してい
 る。凹凸の形成等は図1に示したものと同一であるが、
 図3(a)に示すように、本実施例では基板1の凹部12
 に、その表面からは実質的に結晶成長し得ないマスク層
 3を設けている。この場合、凸部11のみからファセッ
 ト面を形成しながらの成長が起こり結晶単位20が形成
 され（図3(b)参照）、さらに結晶成長を続けると、各
 凸部11から成長した結晶単位20がつながって、やが
 て図3(c)のように凹凸面を覆うことになる。かかる態 50

8

様にあっても、ファセット面が形成されることにより転
 位の伝播を曲げる事ができ、低転位密度化を図ることが
 できる。

【0035】上記実施例において、マスク層3としては
 SiO_2 、マスク等を用いることができる。このように薄
 膜を形成する他、実質的に結晶成長し得ない加工であ
 りば特に制限はない。また、凹部又は凸部のいずれかを、
 実質的な結晶成長自体が起こり得ないような微小開口の
 凹部、又は微小幅の凸部とすることで、いずれかのみか
 らファセット構造成長が起こるようにすることもでき
 る。

【0036】以上、基板1の上に半導体層2を一層だけ
 成長する場合について説明したが、転位欠陥をより少な
 くするために、同様な工程を2回繰り返すようにしても
 よい。さらに同様の工程を繰り返して、複数の半導体層
 を多層的に形成するようにしても良い。このような構成
 とすれば、層を重ねる毎に伝播する転位を漸減させるこ
 とができる。

【0037】凸部の形成は、例えば通常のフォトリソグ
 ラフ技術を使って凸部形状に応じてパターン化し、RIE
 技術等を使ってエッチング加工を行うことで作製でき
 る。

【0038】基板上に半導体層の結晶成長を行う方法は
 HVPE 、 MOCVD 、 MBE 法などがよい。厚膜を作
 製する場合は HVPE 法が好ましいが、薄膜を形成する
 場合は MOCVD 法や MBE 法が好ましい。

【0039】ファセット面の形成は結晶成長を行う時の
 成長条件（ガス種、成長圧力、成長温度、など）により
 制御する事ができる。減圧成長では NH_3 分圧が低い場
 合<1-101>面のファセットが出易く、富圧成長で
 は減圧に比べファセット面が出易い。また成長温度を上
 げると横方向成長が促進されるが、低温成長すると横方
 向成長よりもC軸方向の成長が速くなり、ファセット面
 が形成されやすくなる。以上成長条件によってファセッ
 ト形状の制御が可能である事を示したが、本発明の効果
 が出る範囲内であれば、目的に応じ使い分けられよう。

【0040】なおファセット面を形成し、転位が横方向
 に曲げられた後は、 GaN を平坦化するための横方向成
 長を促進するように、成長条件を変化させると良い。こ
 れを行うためには、上述の逆であるファセット面が出
 にくい成長条件を選択すれば良い。

【0041】

【実施例】【実施例1】c面サファイア基板上にフォ
 トレジストのパターニング（幅： $2\mu\text{m}$ 、周期： $4\mu\text{m}$ 、
 ストライプ方位：ストライプ延伸方向がサファイア基板
 の<1-100>方向）を行い、RIE（Reactive Ion
 Etching）装置で $2\mu\text{m}$ の深さまで断面方形型にエッチ
 ングした。この時のアスペクト比は1であった。フォ
 トレジストを除去後、 MOVPE 装置に基板を装着した。
 その後、水系雰囲気下で 1100°C まで昇温し、サーマ

(5)

特開2002-164296

9

ルエッチングを行った。その後温度を500℃まで下げ、3族原料としてトリメチルガリウム（以下TMG）を、N原料としてアンモニアを流し、Ga N低温バッファ層を成長した。つづいて温度を1000℃に昇温し原料としてTMG・アンモニアを、ドーパントとしてシランを流しn型Ga N層を成長した。その時の成長時間は、通常の凹凸の施していない場合のGa N成長における2μmに相当する時間とした。成長後の断面を観察すると、図1(b)に示すように凸部、凹部両方での成長が観察された。

【0042】同様の方法で通常の凹凸の施していない場合のGa N成長における6μmに相当する時間成長を行った。結果、凹凸部を覆い、平坦になったGa N膜が得られた。

*

サンプル	転位密度	キャリア密度	XRC の FWHM
実施例サンプル	$1 \times 10^7 \text{ cm}^{-2}$	$1 \times 10^{18} \text{ cm}^{-3}$	170 sec
従来 ELO サンプル	$4 \times 10^7 \text{ cm}^{-2}$	$5 \times 10^{17} \text{ cm}^{-3}$	200-400 sec
通常 GaN	$2 \times 10^8 \text{ cm}^{-2}$	$1 \times 10^{18} \text{ cm}^{-3}$	220 sec

【0046】実施例のサンプルでは、転位密度の低減が従来ELOよりも図れている事が判る。これは凹部でも貫通転位が曲げられる事が生じたためと考えられる。一方、キャリア密度は通常Ga N成長と同程度であった。またXRCのFWHMは107secと一音小さく、総合的にみて高品質の膜であるといえる。

【0047】【実施例2】実施例1の内、凹凸部の形状を以下の様に変更した以外は同じとした。（幅：2μm、周期：6μm、ストライプ方位：サファイア基板の<1-100>）を行い、RIE装置で0.5μmの深さまで断面方形型にエッチングした。

【0048】成長後の断面を観察すると、図2(c)に示すように、実施例1と同様に凹凸部が埋め込まれ平坦化した膜が得られていた。転位密度の観察を行なう為、実施例1と同様の手法でビットを形成し数を数えた。凸部上部には転位に対応したビットはほとんど観察されなかった。これは凸部上ではファセット面が形成された状態で成長が進み、転位が横方向に曲げられた結果と考えられる。一方、凹部のうち、凸部に近いあたりではビットはあまり観察されなかったが、中央付近の幅4μmの領域ではビットが多数見られた。これは、凹部中央付近ではファセット面の形成が生じていないため、転位が表面まで伝播した結果と考えられる。しかしウエハー全体でみると、凹凸加工を施していない基板上の成長に比べ転位密度は低減していることがわかる。

*

サンプル	出力 (20mA)	-10V印加時のリーク電流
実施例サンプル	1.7mW	10nA
従来 ELO サンプル	1.5mW	50nA
通常 GaN	0.9mW	1μA

【0052】表2に示すように本発明を用い作製したサ 50

10

*【0043】転位密度の測定のため、上記サンプルをH₂SO₄:H₃PO₄=1:1(250℃)の溶液中で90mnエッチングを行ない、形成されたビットを数えた。また得られた膜のキャリア密度をHall測定にて行なった。さらにX線ロッキングカーブ半値幅測定も行なった。

【0044】なお比較のために、凹凸加工を施していないサファイア基板に成長したサンプル及び、凹凸加工を施していないサファイア基板上にGa Nを2μm形成しSiO₂のマスクを上記と同様のストライプ方向、幅で形成した基材の上にGa Nを4μm成長したサンプルも作成した。各サンプルの評価結果を表1に示す。

【0045】

【表1】

20*【0049】【実施例3】実施例1の内、凹部にSiO₂マスクを形成した以外は同じとし、Ga Nの成長を行なった。2μm相当成長した膜の断面を観察すると、図3(b)に示すように凸部上部にはファセット面を形成したGa Nが成長していた。一方、凹部には膜は形成されていなかった。成長をさらに行なうと隣り合う凸部上部のファセットはやがて合体した。その後、合体した谷部が埋まるように成長が進み、やがて凹部上部に空洞を残し平坦となったGa N膜が得られた。エッチングによりビットを形成したところ凹部中央に若干の転位に対応するビットが確認されたが、それ以外ではビットはほとんど観察されなかった。

30【0050】【実施例4】実施例1で得られた膜に連続してn型AlGa Nクラッド層、InGa N発光層、p型AlGa Nクラッド層、p型Ga Nコンタクト層を順に形成し、発光波長370nmの紫外LEDウエハーを作製した。その後、電極形成、素子分離を行い、LED素子とした。ウエハー全体で採取されたLEDチップの出力の平均値と逆電流特性を評価した。比較対象としては、従来のELO技術を使って上記構造を作製した紫外LEDチップと通常のサファイア基板を使って上記構造を作製した紫外LEDチップである。これらの評価結果を表2に示す。

【0051】

【表2】

(7)

特開2002-164296

11

12

い高品質のLEDが作製できる事がわかった。

【0053】【実施例5】実施例1の内、半導体層成長時にトリメチルアルミニウム(TMA)を追加した以外は同じとした。結果、AlGaIn(AI組成0.2)の膜が凹凸部を覆うように平坦な膜が成長できていた。エッチングによりビットを形成したところ凸部上部には転位に対応するビットは少なかった。これにより従来のELO技術では成し得なかったAlGaIn膜の高品質化(低転位密度化)が本発明を用いてできた事を確認した。

【0054】【実施例6】次にGaInを基板として用いた例を示す。GaIn基板上にフォトレジストのパターニング(幅:2μm、周期:4μm、ストライプ方位:GaIn基板の<11-20>)を行い、RIE装置で2μmの深さまで断面方形型にエッチングした。フォトレジストを除去後、MOVPE装置に基板を装着した。その後、窒素、水素、アンモニア混合雰囲気下で1000℃まで昇温した。その後、原料としてTMG・アンモニアを、ドーパントとしてシランを流しn型GaIn層を成長した。その時の成長時間は、通常の凹凸の施していない場合のGaIn成長における4μmに相当する時間とした。

【0055】成長後の断面を観察すると基板の凹凸部を覆い、平坦になったGaIn膜が得られた。続いて得られた膜のビットの評価を行った。基板としてもちいたGaInのビット密度は $2 \times 10^4 \text{ cm}^{-2}$ であったが、本実施例の成長を行うと凹部上部で $1 \times 10^4 \text{ cm}^{-2}$ 、凸部上部で $5 \times 10^4 \text{ cm}^{-2}$ にビットが減少している事がわかった。このように既に転位の少ない基板に対しても更なる転位密度低減効果があることが確認できた。

【0056】【実施例7】実施例1で作製したGaIn結晶を第一結晶とし、その上に第二結晶を成長させた。まずGaIn第一結晶にフォトレジストのパターニング(幅:2μm、周期:4μm、ストライプ方位:GaIn基板の<11-20>)を行い、RIE装置で2μmの深さまで断面方形型にエッチングした。この時のパターニングは基板凸部の上に第一結晶の凹部がくるような配置とした。フォトレジストを除去後、MOVPE装置に基板を装着した。その後、窒素、水素、アンモニア混合雰囲気下で1000℃まで昇温した。その後、原料としてTMG・アンモニアを、ドーパントとしてシランを流しn型GaIn層を成長した。その時の成長時間は、通常の凹凸の施していない場合のGaIn成長における4μmに相

当する時間とした。

【0057】成長後の断面を観察すると基板の凹凸部を覆い、平坦になったGaIn膜が得られた。続いて得られた膜のビットの評価を行ったところ $8 \times 10^4 \text{ cm}^{-2}$ にビットが減少している事がわかった。このように本実施例を繰り返す事により更なる転位密度低減効果があることが確認できた。

【0058】

【発明の効果】以上説明した通りの本発明の半導体基材及びその作製方法によれば、基板に凹凸加工を施すことで、マスク層を使用することなく結晶成長当初からファセット面を形成可能な素地面とする事が出来る。従ってマスク層を形成することに起因する問題点である微小チルディングによるラテラル成長部の合体部分の新たな欠陥の発生の問題やオートドーピングの問題、Al含有半導体材料が選択成長不可という問題を解消できる。

また、基板に凹凸面を設けた後に、一回の成長でバッファ層成長から発光部等の半導体結晶層の成長を連続して行えるので、製造プロセスの簡略化が図れるという利点がある。また特に空洞部を形成する必要が無い為、熱放散の問題が回避できるなどの効果もあり特性向上、低コスト化の面から非常に価値のある発明である。

【図面の簡単な説明】

【図1】本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。

【図2】本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。

【図3】本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。

【図4】完全にファセットが形成された場合を示す断面写真である。

【図5】不完全なファセットが形成された場合を示す断面写真である。

【図6】転位線(写真中の黒線)がファセット成長に伴って折曲されている状態を示す断面写真である。

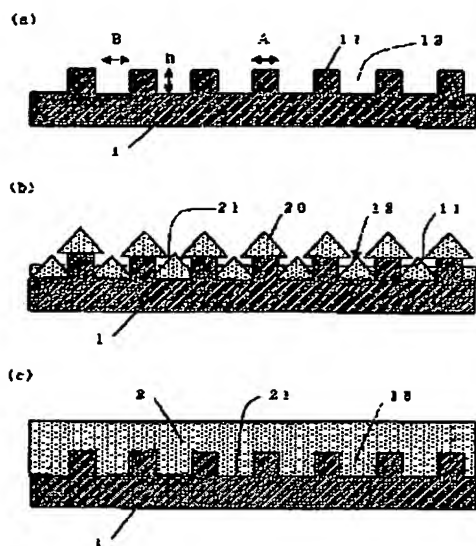
【符号の説明】

- 1 基板
- 11 凸部
- 12 凹部
- 13 空洞部
- 2 半導体層

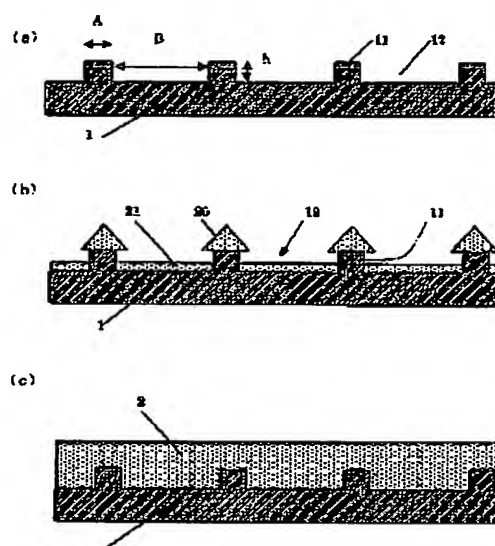
(8)

特開2002-164296

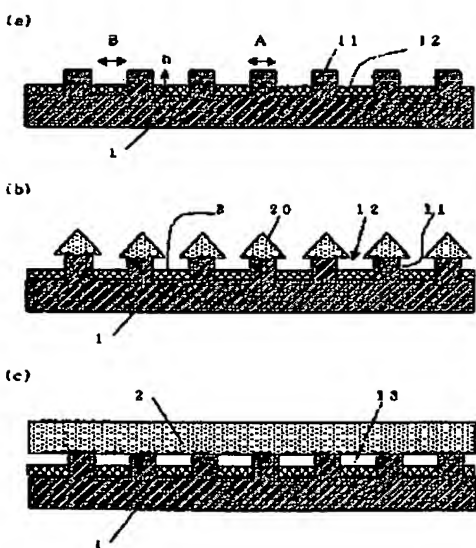
【図1】



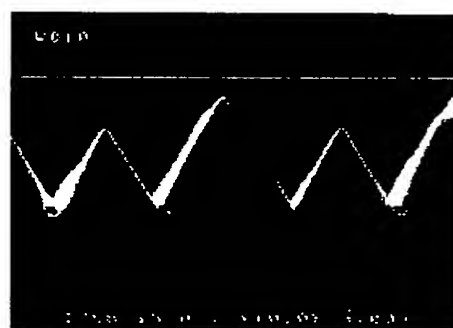
【図2】



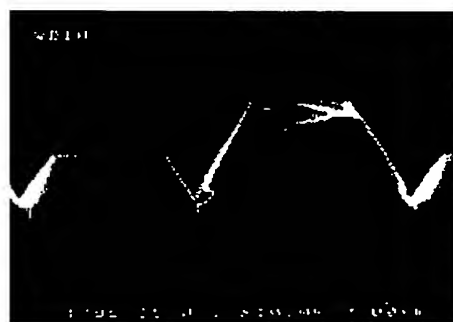
【図3】



【図4】



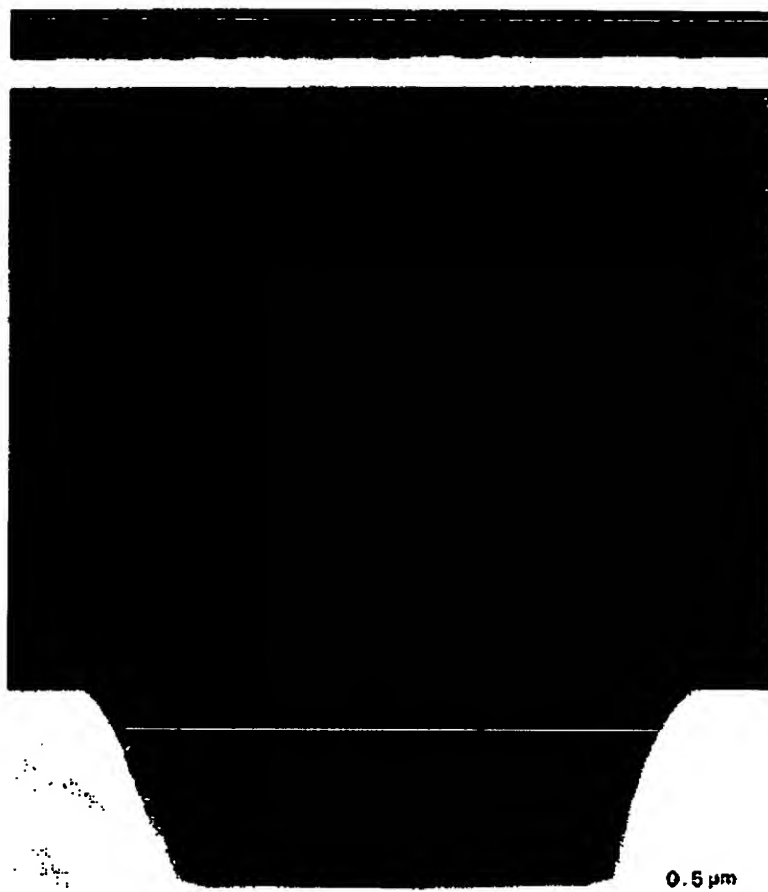
【図5】



(9)

特開2002-164296

【図6】



フロントページの続き

(72)発明者 常川 高志

兵庫県伊丹市池尻4丁目3番地 三菱電機
工業株式会社伊丹製作所内

F ターム(参考) 5F041 AA04 AA21 AA42 AA44 CA03
CA40 CA54
5F045 AA04 AB14 AB17 AB18 AC01
AC08 AC12 AD09 AD14 AF02
AF03 AF04 AF06 AF09 AF12
AF13 BB08 BB12 CA10 DA53
DB09 EB15 GB11